

電路設計 OrCAD 16.5

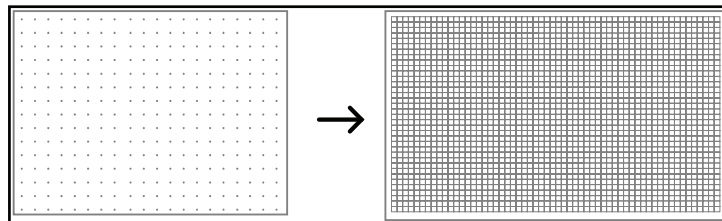
範例試卷

【 認證說明與注意事項 】

- 一、本項考試包含測驗題及操作題，所需總時間為 100 分鐘，時間結束前需完成所有考試動作。成績計算滿分為 100 分，合格分數為 70 分。
- 二、測驗題考試時間為 20 分鐘，操作題考試時間為 80 分鐘，唯測驗題剩餘時間會加至操作題測驗時間。
- 三、測驗題為單、複選混合二十題，每題 1 分，小計 20 分。操作題為四大題，第一大題至第二大題每題 15 分，第三大題每題 20 分，第四大題每題 30 分，小計 80 分。
- 四、測驗題直接出現於電腦螢幕，請依序作答。計時終了，所填入之答案將自動存檔，且不得再作更改。
- 五、操作題所需的檔案皆於 C:\ANS.CSF 資料夾內讀取。題目存檔方式，請依題目指示儲存於 C:\ANS.CSF 資料夾，測驗結束前必須自行存檔，並關閉 OrCAD 16.5，檔案名稱錯誤或未自行存檔者，均不予計分。
- 六、操作題每大題之各評分點彼此均有相互關聯，作答不完整，將影響各評分點之得分，請特別注意。題意內未要求修改之設定值，以原始設定為準，不需另設。
- 七、試卷內 0 為阿拉伯數字，O 為英文字母，作答時請先確認。所有滑鼠左右鍵位之訂定，以右手操作方式為準，操作者請自行對應鍵位。
- 八、有問題請舉手發問，切勿私下交談。

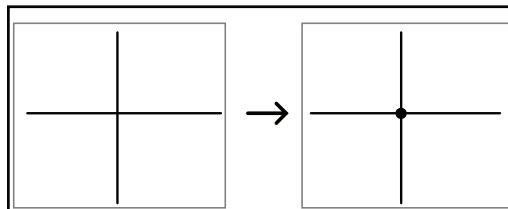
壹、測驗題 20% (為單、複選混合題，每題 1 分)

01. 在 OrCAD V16.5 軟體中，若要針對電路進行 Pspice 模擬，需在一開始指定建立哪一種類型的新專案？
- (A) Analog or Mixed A/D
 - (B) PC Board Wizard
 - (C) Programmable Logic Wizard
 - (D) Schematic
02. 經使用者設計的電路圖圖檔，會被存成下列哪一個副檔名的檔案？
- (A) .EXP 檔
 - (B) .DBC 檔
 - (C) .OLB 檔
 - (D) .DSN 檔
03. 如附圖所示，將電路圖頁面拉近，看到如左圖的格點 (Grid)，若要轉換成如右圖的樣式，應進入 Options/Preferences/Grid Display 選單，執行下列哪一種設定？



- (A) 進入 Schematic Page Grid/Grid Style，點選 Lines
 - (B) 進入 Schematic Page Grid/Grid Style，點選 Rectangle
 - (C) 進入 Part and Symbol Grid/Grid Style，點選 Lines
 - (D) 進入 Part and Symbol Grid/Grid Style，點選 Rectangle
04. 若要設計 CPLD 或是 FPGA，應該在一開始產生下列哪一種專案？
- (A) Schematic
 - (B) Programmable Logic Wizard
 - (C) PCB Board Wizard
 - (D) Analog or Mixed A/D

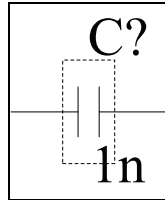
05. 在電路圖頁面裡，若要選取已定好的頁面尺寸，可至下列哪些選單去設定？
(複選)
- (A) Options/Preferences
 - (B) Options/Schematic Page Properties
 - (C) Options/Design Template
 - (D) Options/CIS Configuration
06. 若要將沒有使用的 Port 封閉起來，避免做 DRC (Design Rules Check) 時導致程式誤判，應使用下列哪一種連接器？
- (A) 輸出入埠 (Port)
 - (B) 階層式電路方塊 (Hierarchical Block)
 - (C) 放置接點 (Junction)
 - (D) 放置無連接符號 (No Connect)
07. 跨頁連接器 (Off-Page Connector) 是用以連結下列哪一種情形的電路圖？
- (A) 用於連接階層式電路方塊 (Hierarchical Block)
 - (B) 任兩張電路圖均可用該功能作連接
 - (C) 位於同一階層的電路圖
 - (D) 位於不同階層的電路圖
08. 如附圖所示，若要將左圖無任何相關的兩線段，變成如右圖的兩線段相交，應使用下列哪一種功能？



- (A) 接點 (Junction)
- (B) 無連接符號 (No Connect)
- (C) 跨頁連接器 (Off-Page Connector)
- (D) 階層式電路方塊 (Hierarchical Block)

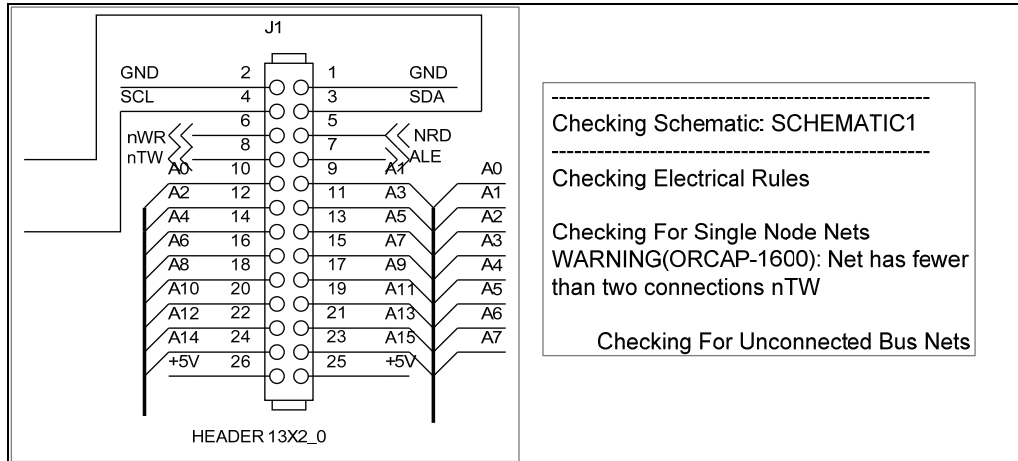
09. 若要將兩元件的某兩接點迅速連接，除了使用 OrCAD 內建的連線功能 (Place Wire) 之外，還可以運用下列哪一種方法？
- (A) 按著[Ctrl]，選取兩接點，再按右鍵，點 Lock
 - (B) 按著[Ctrl]，選取兩接點，再按右鍵，點 Connect
 - (C) 按著[Alt]，選取兩接點，之後按 Enter
 - (D) 按著[Alt]，選取兩接點，之後滑鼠雙擊兩下
10. 關於階層式電路方塊 (Hierarchical Block) 的說明，下列敘述哪些正確？
(複選)
- (A) 無法改變階層式電路方塊 (Hierarchical Block) 的尺寸大小
 - (B) 可以在階層式電路方塊 (Hierarchical Block) 上按右鍵，點選 Descend Hierarchy，進入下層電路圖
 - (C) 輸出埠 (Port) 用於兩張不同階層電路圖的線路連結
 - (D) 電路方塊接腳 (Hierarchical Pin) 僅會出現在階層式電路方塊 (Hierarchical Block) 裡面
11. OrCAD 提供很多內建的元件以供繪製電路時使用，若要尋找一般的電阻元件，應至下列哪一個元件庫尋找？
- (A) Latch.olb
 - (B) FPGA.olb
 - (C) capsym.olb
 - (D) Discrete.olb
12. OrCAD 的元件，會放在下列哪一個副檔名的檔案底下？
- (A) .exp
 - (B) .dsn
 - (C) .olb
 - (D) .dbc

13. 如附圖所示，為進入元件編輯頁面之後的畫面，關於虛框內可放置的物件，下列敘述哪些正確？（複選）



- (A) 放置線段（Place Line）
(B) 放置接腳（Place Pin）
(C) 放置接腳陣列（Place Pin Array）
(D) 放置矩形（Place Rectangle）
14. 甚麼樣的元件會被 OrCAD 放於元件快取（Design Cache）資料夾底下？
(A) 圖紙資訊與單位名稱
(B) 所有與元件庫有相關聯的元件
(C) 曾經於電路圖繪製時呼叫過的元件
(D) 元件資訊與網路別名（Net Alias）
15. 當元件放入電路圖時，其資訊會一起被放入下列哪一個資料夾底下？
(A) Schematic 資料夾
(B) Design Cache 資料夾
(C) Library 資料夾
(D) Output 資料夾
16. 下列哪一種非 ERC Matrix 的顏色與規則？
(A) 灰色（無任何訊息）
(B) 黃色（警告）
(C) 紅色（錯誤）
(D) 綠色（正確無誤）
17. 下列哪些是狀態紀錄視窗（Session Log）的作用？（複選）
(A) 顯示警告/錯誤訊息
(B) 顯示輸出結果
(C) 顯示目前完成狀況
(D) 顯示連接座標

18. 如附圖所示，某張電路圖的部分截圖如左圖，進行 DRC (Design Rules Check) 檢查時，產生如右圖的結果，下列敘述哪一項正確？



- (A) 匯流排 (Bus) 命名與連接數量不符
- (B) 跨頁連接器 (Off-Page Connector)，名稱 nTW 在圖中無法找到第二個對應連接點
- (C) 右圖的 DRC (Design Rules Check) 結果無法由左圖的電路圖所產生
- (D) 元件的排序異常，無法執行 DRC (Design Rules Check) 檢查
19. 一般進行 OrCAD PSpice 的電路模擬時，都是假設所有元件為理想狀況，但為忠實反映實際電路的特性，可以用下列哪一種分析方法，在使用者提供元件的誤差範圍之後，比較理想與實際情況的輸出響應？
- (A) 參數調變分析
- (B) 蒙地卡羅分析
- (C) 溫度分析
- (D) 直流分析
20. 利用 PSpice 進行電路模擬時，當狀態紀錄視窗 (Session Log) 出現 "Your design does not contain a Ground (0) net"，代表電路發生下列哪一種問題？
- (A) 缺少電源
- (B) 電路沒有接地
- (C) 掛載了錯誤的元件模型
- (D) 電腦記憶體不足，導致 PSpice 無法開啓

貳、操作題 80% (第一、二大題每題 15 分，第三大題每題 20 分，第四大題 30 分)

請依照試卷指示作答並存檔，時間結束前必須完全跳離 OrCAD 16.5。

一. 主-僕正反器

1. 作答須知：

- (1) 請至 C:\ANS.CSF\CD01 目錄開啓 **CDD01.opj**，依設計項目作答，完成電路圖檔請依原路徑、原檔名儲存。
- (2) 自元件快取 (Design Cache) 資料夾底下選取所需要的元件，完成電路繪製，不可使用其他外部元件庫內的元件。

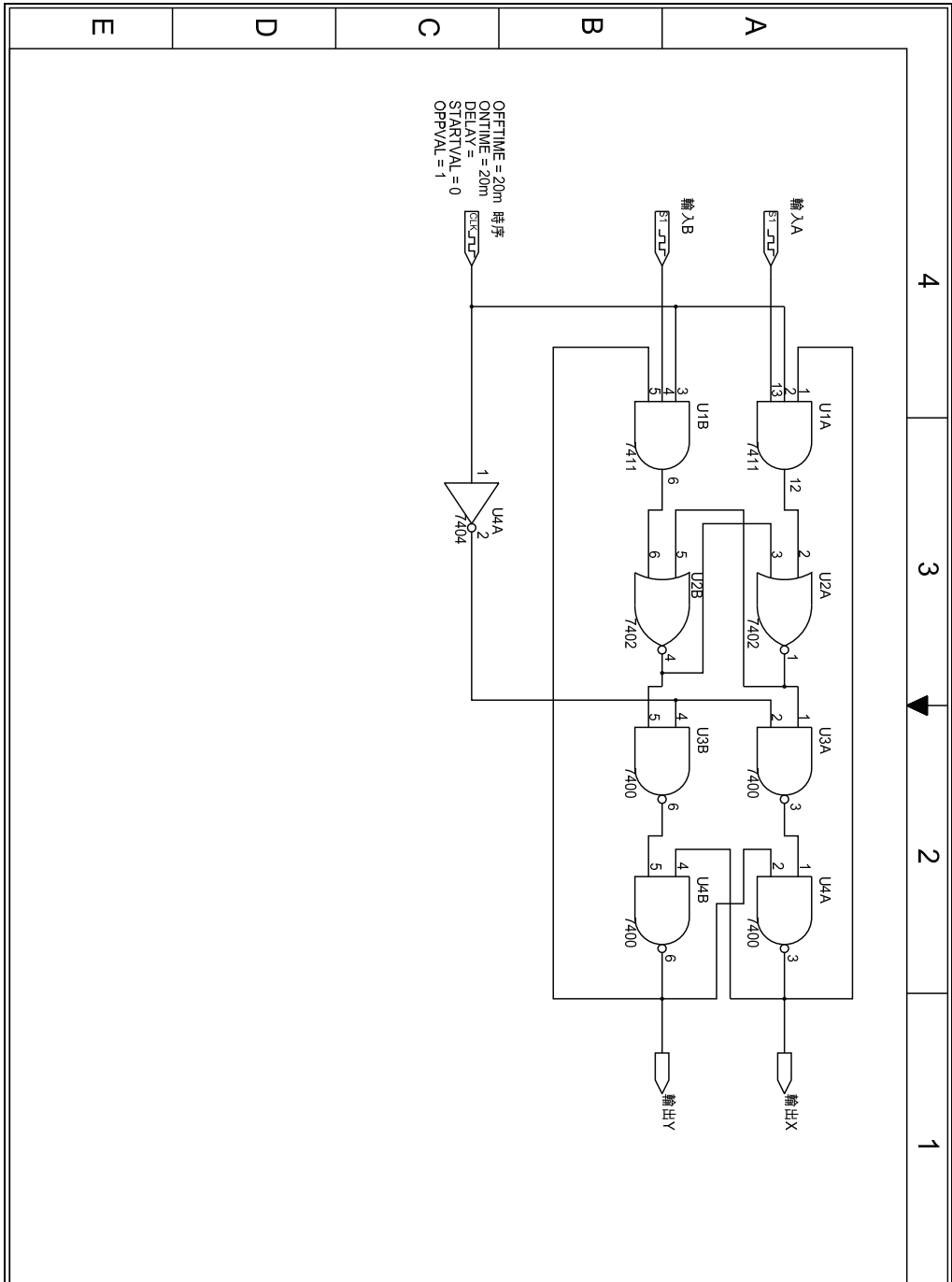
2. 設計項目：

- (1) 開啓 SCHEMATIC1 資料夾底下的 PAGE1 電路圖，設定電路圖頁面的橫座標與縱座標，橫座標為四個阿拉伯數字呈降冪 (Descending) 排列；縱座標為五個英文數字呈升冪 (Ascending) 排列，寬度皆為 0.3 inches。
- (2) 版面設定完成後，依照下表將四種 (共九個) 邏輯閘擺放在正確座標內，邏輯閘個數會因種類而有不同，注意元件編序、名稱與接腳編號應與【附圖一】一致：

邏輯閘	AND	NOR	NAND	NOT
(橫座標,縱座標)	(3,A) (3,B)	(3,A) (3,B)	(2,A)(2,A) (2,B)(2,B)	(3,C)

- (3) 參照【附圖一】，於圖面左方放置三個輸入訊號、右方放置兩個輸出埠 (Port)，右方兩個輸出訊號型別皆為 Output。
- (4) 參照【附圖一】，修改電路圖五個輸出入元件上的編序值，為輸入 A、輸入 B、時序、輸出 X 與輸出 Y，將五個輸出入埠 (Port) 的元件編序值大小為 12pt，之後修改時序參數下方的各參數數值。
- (5) 參照【附圖一】，使用導線 (Wire) 完成各元件之間的線路連接。

3. 輸出結果參考圖：



【附圖一】

4. 評分項目：

設計項目	配 分	得 分
(1)	5	
(2)	3	
(3)	3	
(4)	2	
(5)	2	
總 分	15	

二. RS-232 模組

1. 作答須知：

- (1) 請至 C:\ANS.CSF\CD02 目錄開啓 **CDD02.opj**，依設計項目作答，完成電路圖檔請於原路徑、原檔名儲存。
- (2) 自元件快取 (Design Cache) 資料夾底下選取所需要的元件，完成電路繪製，不可使用其他外部元件庫內的元件。

2. 設計項目：

- (1) 開啓 SCHEMATIC1 資料夾底下的 PAGE1 電路圖，參照【附圖二】，設計一個階層式電路方塊 (Hierarchical Block)，將電路圖對應到新資料夾 RS232 底下的電路圖，方塊圖之相關參數如下表所列：

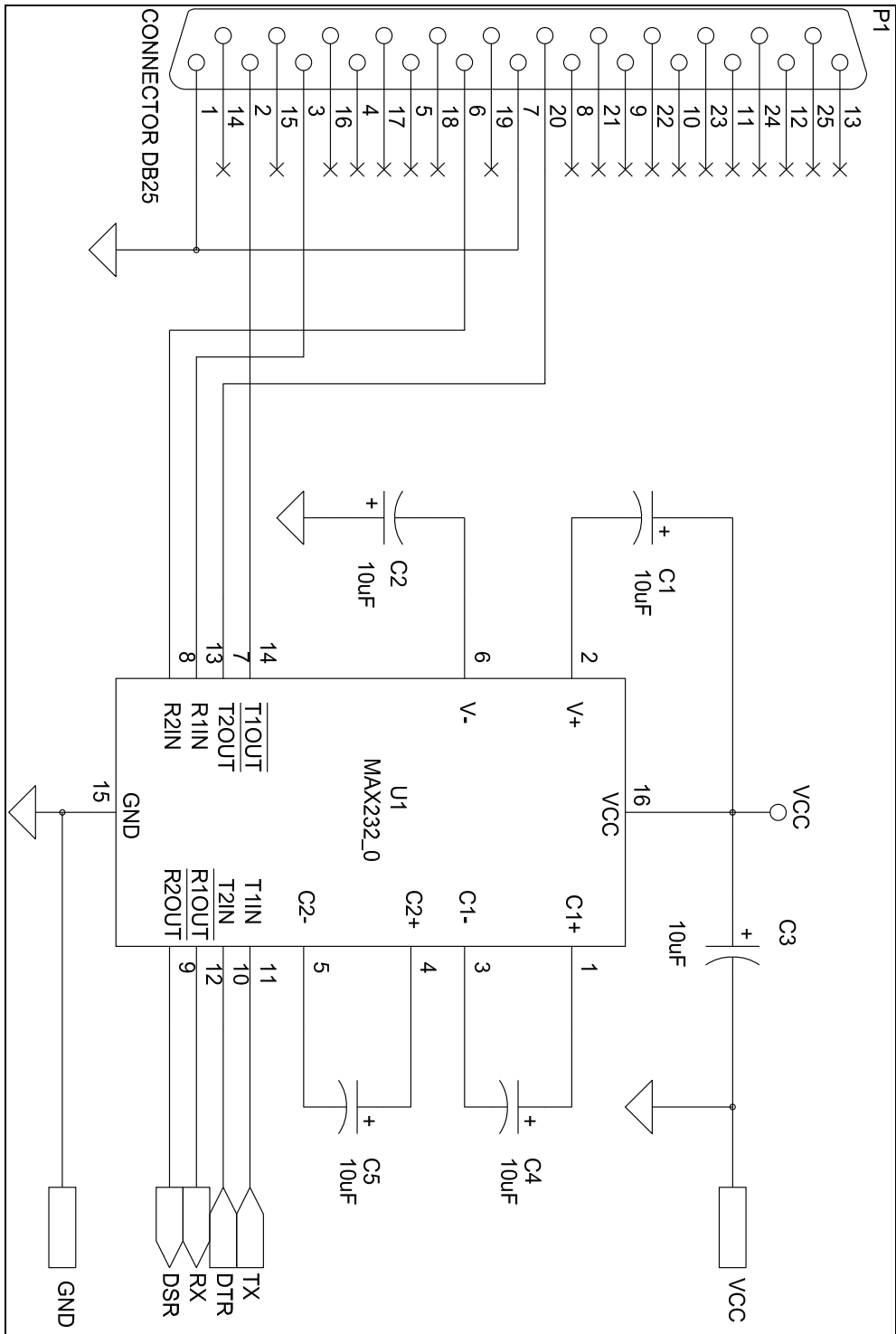
Reference	Implementation	
	Type	Name
RS232	Schematic View	RS232

- (2) 將階層式電路方塊 (Hierarchical Block) 加入 6 個電路方塊接腳 (Hierarchical Pin)，接腳的名稱與型別如下表所列：

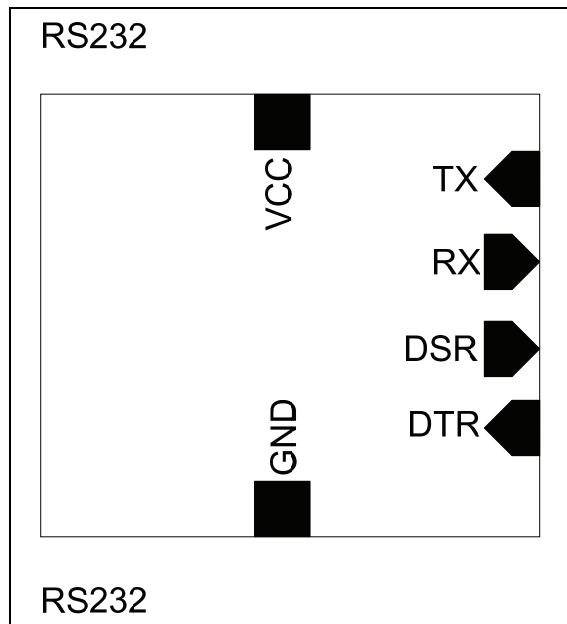
名稱	VCC	GND	RX	TX	DSR	DTR
型別	Power	Power	Output	Input	Output	Input

- (3) 雙擊 RS232 階層式電路方塊 (Hierarchical Block)，將所產生的電路圖名稱定為 PAGE1，RS232 資料夾裡的 PAGE1 頁面，應包含設計項目(2)所設計的 6 個電路方塊接腳 (Hierarchical Pin)，接腳名稱與型別需與設計項目(2)所列之需求一致。
- (4) 參照【附圖一】，自 Design Cache 資料夾選取 CONNECTOR DB25 與 MAX232_0 兩個元件與其附屬電容元件，各元件之名稱與值需與【附圖一】一致。
- (5) 在圖面上適當的位置加入電源與接地符號，並用導線 (Wire) 將元件按照圖面相互連接，將未使用接腳加入無連接 (No Connect) 符號，並將 6 個輸出入埠 (Port) 與周邊元件連接。

3. 輸出結果參考圖：



【附圖一】



【附圖二】

4. 評分項目：

設計項目	配 分	得 分
(1)	3	
(2)	3	
(3)	3	
(4)	3	
(5)	3	
總 分	15	

三. 切換式電源及穩壓電路

1. 作答須知：

- (1) 請至 C:\ANS.CSF\CD03 目錄開啓 **CDD03.opj**，依設計項目作答，完成電路圖檔請於原路徑、原檔名儲存。
- (2) 限用本題元件庫 **Mylib.olb** 與元件快取 (Design Cache) 資料夾底下選取所需要的元件完成電路繪製，不可使用其他外部元件庫內的元件。

2. 設計項目：

- (1) 於 Library 資料夾底下，新件一元件庫 **Mylib.olb**，並存於同一層資料夾底下，於該元件庫裡，新增如【附圖一】的元件，命名為 LM5007MM，其餘資訊皆維持預設，之後設定元件相關資訊如下表所列，導線樣式皆為 Line，接腳間距 (Pin Spacing) 為 2：

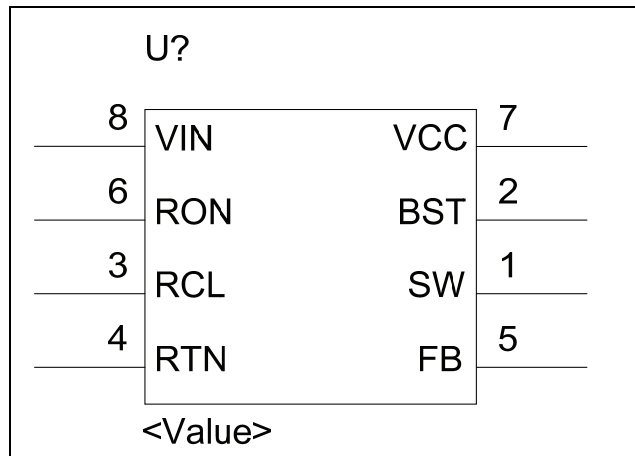
型別	Input		Passive					
名稱	BST	FB	RCL	RTN	SW	RON	VCC	VIN
-	-	-	-	-	-	-	-	-
接腳編號	2	5	3	4	1	6	7	8

- (2) 同設計項目(1)，新增元件 PQ1LA333MSPQ，其餘資訊皆維持預設，之後設定元件相關資訊如下表所列，接腳位置需與【附圖二】一致，導線樣式皆為 Line，接腳間距 (Pin Spacing) 為 2：

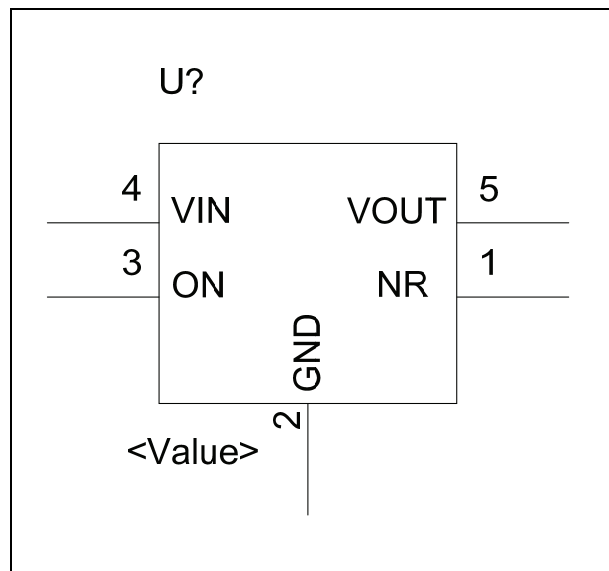
型別	Passive				
名稱	NR	GND	ON	VIN	VOUT
-	-	-	-	-	-
接腳編號	1	2	3	4	5

(3) 於 SCHEMATIC1 資料夾底下，雙擊 PAGE1 頁面，加入繪製好的 LM5007MM 與 PQ1LA333MSPQ 元件，並參照【附圖三】，自 Design Cache 資料夾選取適當的元件，將元件以導線 (Wire) 連接，注意元件的名稱、編號、值是否與圖面上一致，並加上電源與接地符號，將未使用之接腳加入無連接 (No Connect) 符號。(若版面不夠使用，可自行調整版面尺寸)

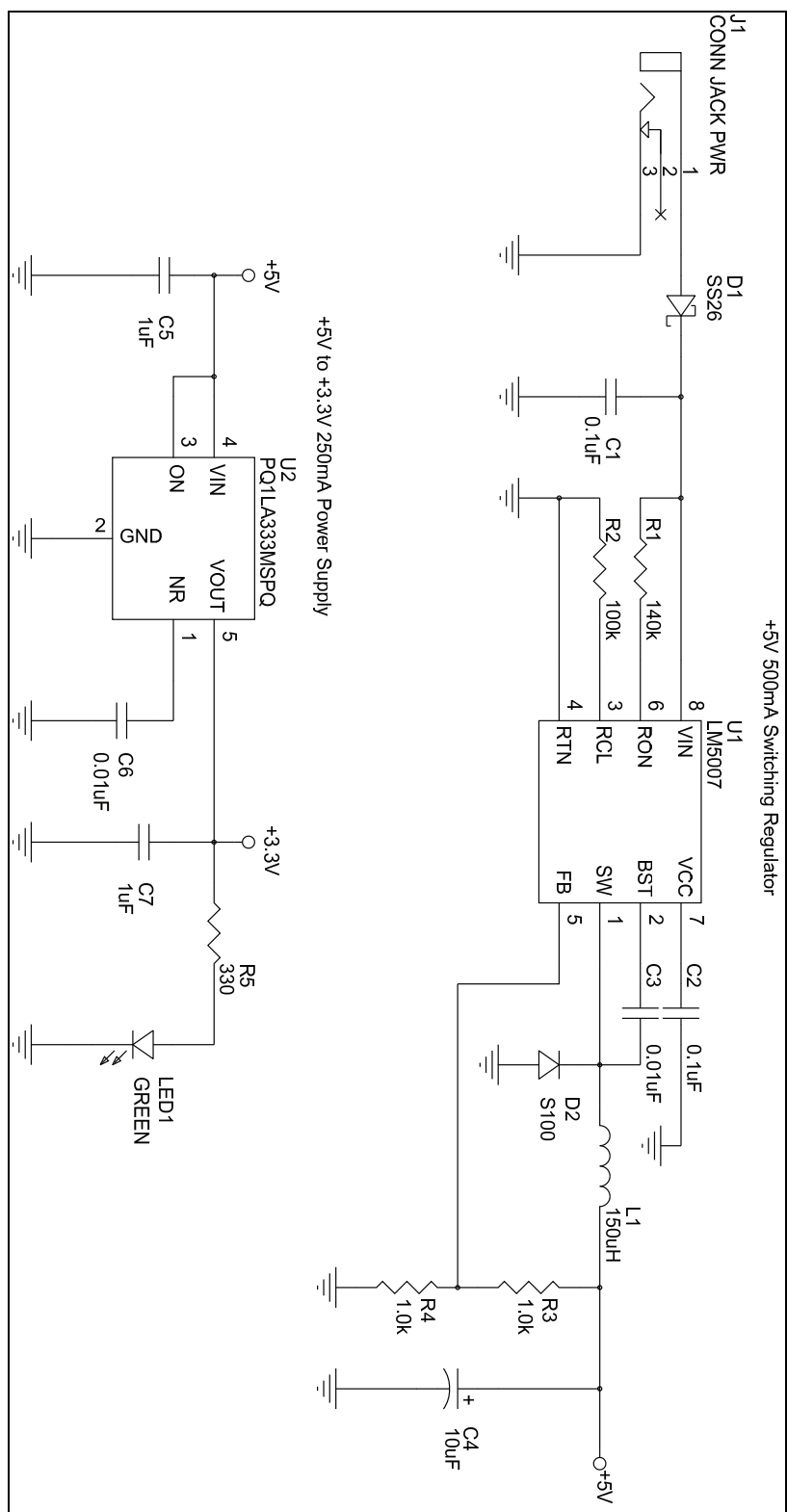
3. 輸出結果參考圖：



【附圖一】



【附圖二】



【附圖三】

4. 評分項目：

設計項目	配 分	得 分
(1)	7	
(2)	7	
(3)	6	
總 分	20	

四. 史密特觸發模擬分析

1. 作答須知：

- (1) 請至 C:\ANS.CSF\CD04 目錄開啓 **CDD04.opj**，依設計項目作答，完成電路圖檔請於原路徑、原檔名儲存。
- (2) 限用本題元件庫 **Mylib.olb** 與元件快取 (Design Cache) 資料夾底下選取所需要的元件完成電路繪製，不可使用其他外部元件庫內的元件，注意所有元件的選用，必須可作為 PSpice 模擬之用。

2. 設計項目：

- (1) 匯入元件庫 **Mylib.olb**。
- (2) 開啓 SCHEMATIC1 資料夾底下的 PAGE1 電路圖，參照【附圖一】虛框處，選取元件於電路圖左方加入兩個電源接地模組，相關參數如下表所列：

元件編序		V1	V2
電源節點名稱		VCC	VEE
相關參數	DC	12V	-12V
	AC	保留空白	
	TRAN	保留空白	

- (3) 參照【附圖一】，完成剩下的電路繪製，選取適當的放大器元件，並完成周邊的電路繪製，注意元件名稱、值、接腳編號需與【附圖一】一致，之後設定 VPWL 元件，將其編序值改為 VIN，並設定相關參數如下表，將下表六個參數顯示在圖面上，可同時計算遲滯曲線：

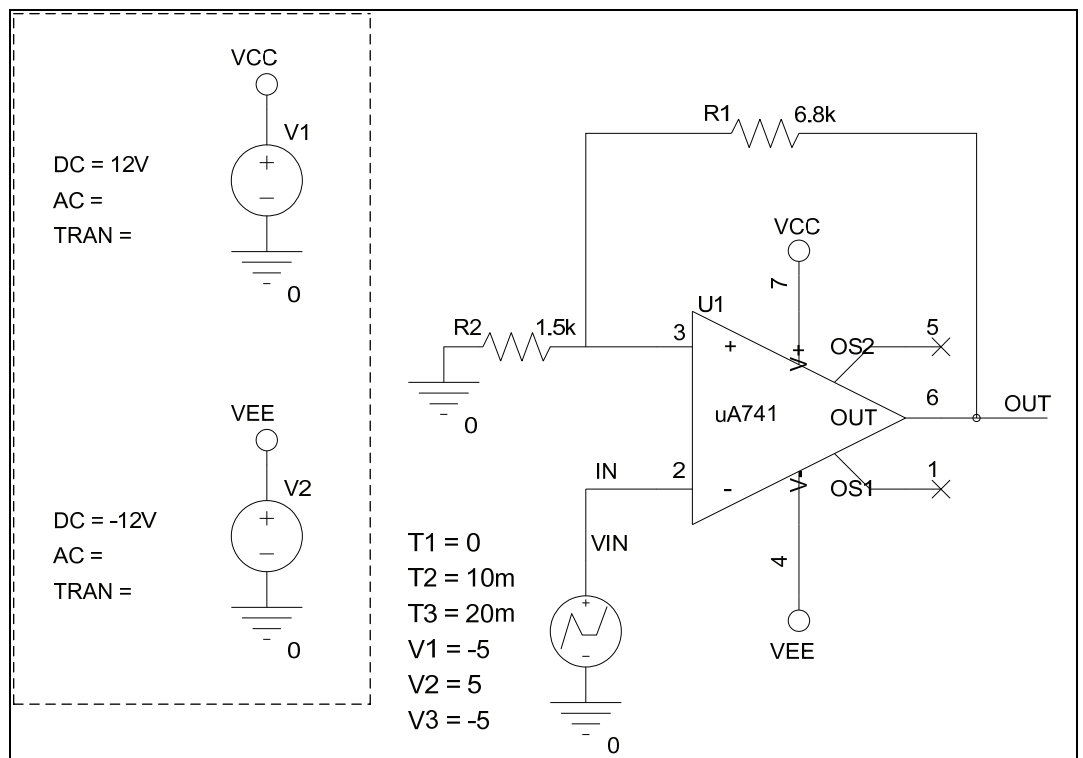
參數名稱	T1	T2	T3	V1	V2	V3
參數值	0	10m	20m	-5	5	-5

- (4) 參照【附圖一】，加入網路別名 (Net Alias) IN 與 OUT，將未使用之接腳加上無連接符號 (No Connect)。

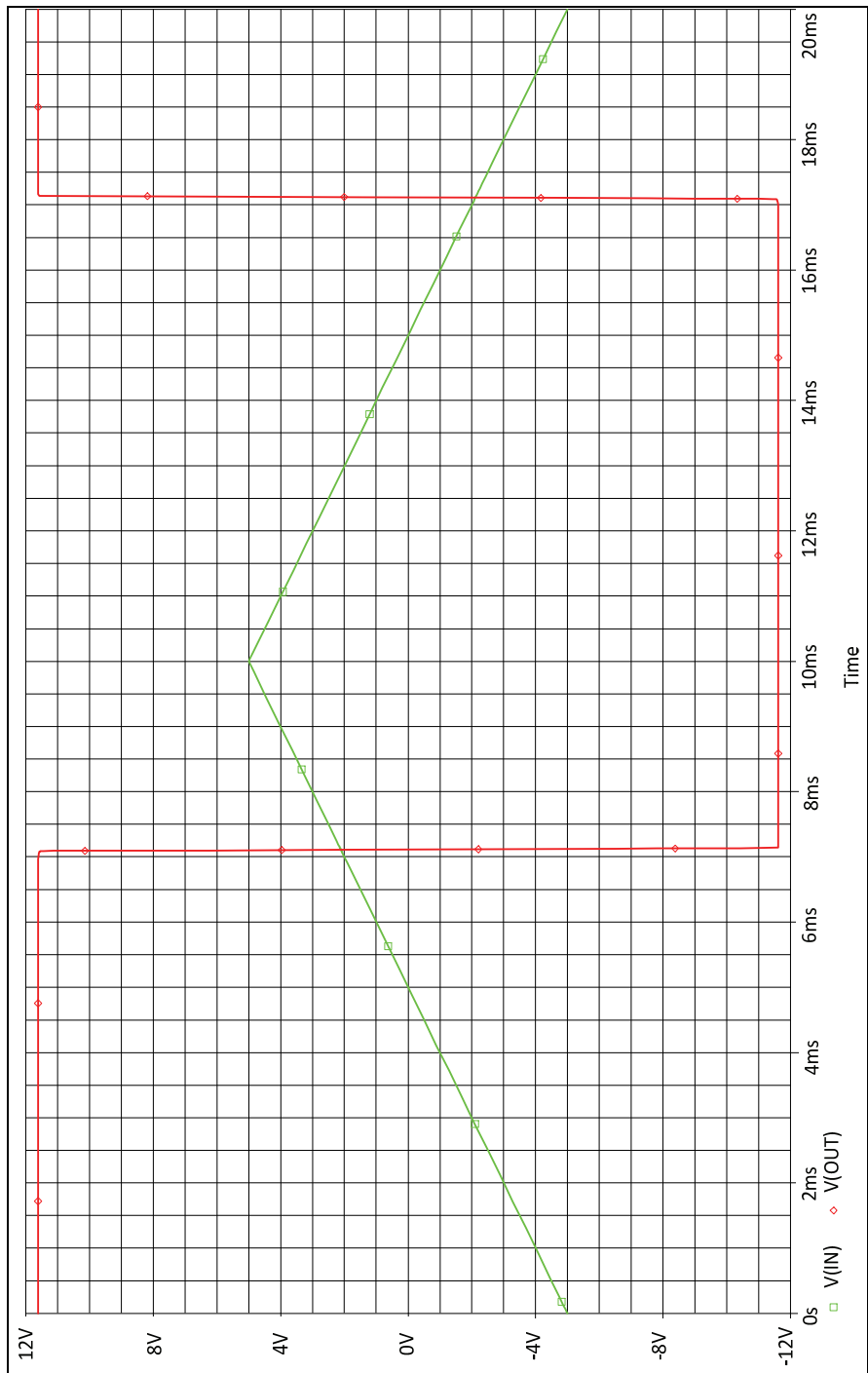
(5) 設定 PSpice/New Simulation Profile，命名為 TD，使用時域（Time Domain）分析，時間間距為 0~20ms，執行模擬（Run）後，於網路別名（Net Alias）IN 與 OUT，加上電壓探棒進行觀測，結果應如【附圖二】所示，並於波形視窗之下，選擇 Window/Copy to Clipboard，勾選"make window and plot backgrounds transparent"，將圖形貼至 **Pic.doc** 檔裡，所對應之描述之下。

(6) 於波形視窗裡，點選 Plot/Axis Settings，將橫軸變數（Axis Variable），從時間（Time）改為 V(In)，之後可得遲滯曲線圖，結果應如【附圖三】所示，參照設計項目(5)，將波形貼到 **Pic.doc** 裡，所對應之描述之下。

3. 輸出結果參考圖：

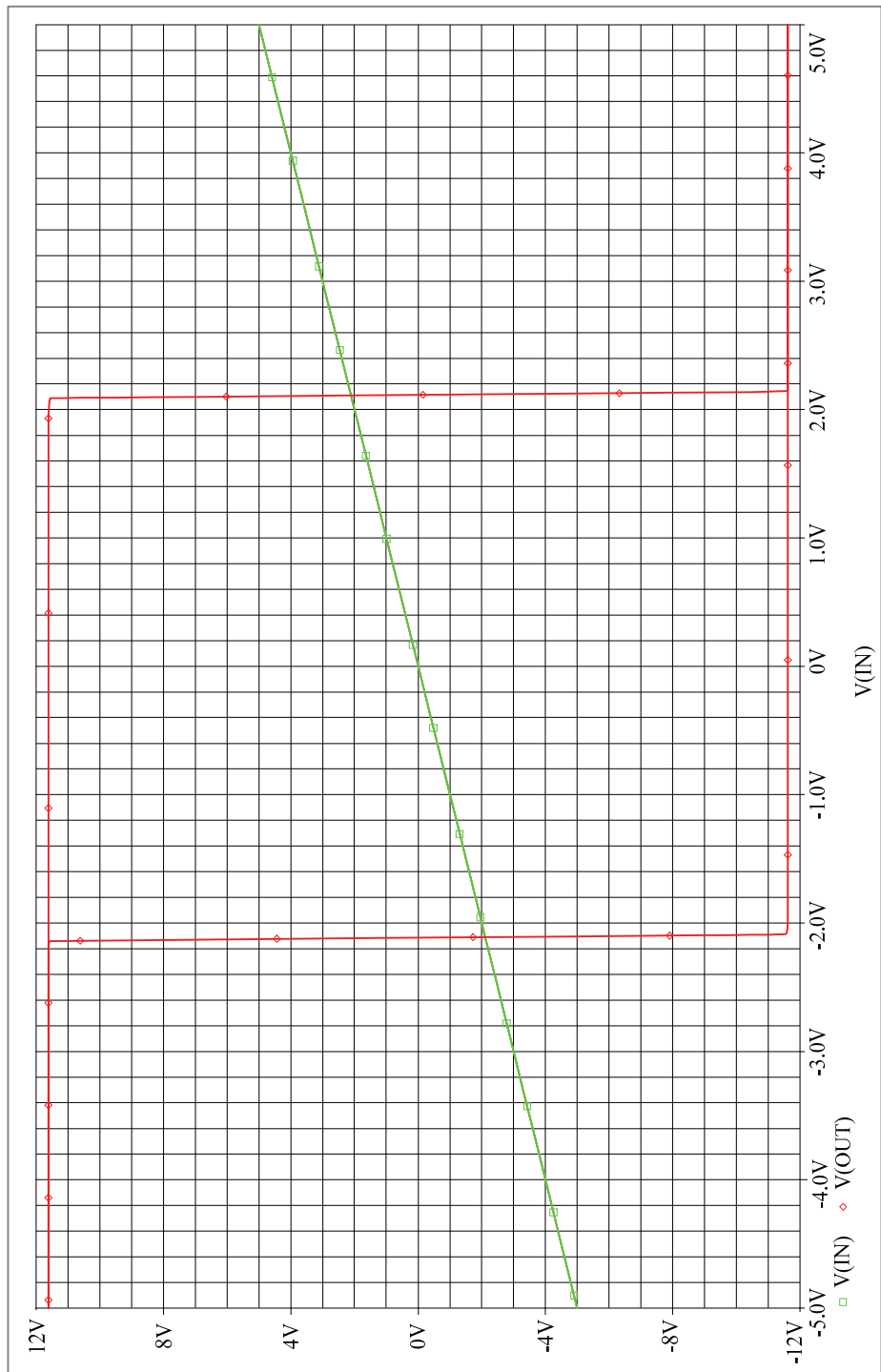


【附圖一】



【附圖二】

※此圖在 PSpice 實際呈現之座標與格點會因波形視窗之縮放而略有不同。



【附圖三】

※此圖在 PSpice 實際呈現之座標與格點會因波形視窗之縮放而略有不同。

4. 評分項目：

設計項目	配 分	得 分
(1)	3	
(2)	4	
(3)	6	
(4)	5	
(5)	6	
(6)	6	
總 分	30	