

# 電路佈線 OrCAD 16.5

## 範例試卷

### 【 認證說明與注意事項 】

- 一、本項考試為操作題，所需總時間為 100 分鐘，時間結束前需完成所有考試動作。成績計算滿分為 100 分，合格分數為 70 分。
- 二、操作題為三大題，第一大題 20 分，第二大題 30 分，第三大題 50 分，共計 100 分。
- 三、操作題所需的檔案皆於 C:\ANS.CSF 資料夾內讀取。題目存檔方式，請依題目指示儲存於 C:\ANS.CSF 資料夾，測驗結束前必須自行存檔，並關閉 OrCAD 16.5，檔案名稱錯誤或未自行存檔者，均不予計分。
- 四、操作題每大題之各評分點彼此均有相互關聯，作答不完整，將影響各評分點之得分，請特別注意。題意內未要求修改之設定值，以原始設定為準，不需另設。
- 五、試卷內 0 為阿拉伯數字，O 為英文字母，作答時請先確認。所有滑鼠左右鍵位之訂定，以右手操作方式為準，操作者請自行對應鍵位。
- 六、有問題請舉手發問，切勿私下交談。

## 壹、操作題 100% (第一題 20 分、第二題 30 分、第三題 50 分)

請依照試卷指示作答並存檔，時間結束前必須完全跳離 OrCAD 16.5。

### 一、反射式光電感測器電路 I

#### 1. 作答須知：

(1) 使用 C:\ANS.CSF\CW01 路徑底下之相關檔案，依設計項目作答，完成之作答檔需依設計項目所規定之檔案名稱儲存，可依照需求變更格點 (Grids) 間距。

(2) 可使用本題 lib 資料夾內的元件資訊進行作答。

#### 2. 設計項目：

(1) 開啓 Pad Designer，單位設定為 mm 並取到小數點後三位，設定鑽孔直徑為 0.550mm 的圓形且孔壁鍍銅 (Plated)，鑽孔與 Pad 皆不需有任何位移，建立橢圓形 (Oblong) Pad，需滿足以下條件：

- Pad 之 Width\*Height=0.600\*1.200。
- 需包含 BEGIN LAYER、DEFAULT INTERNAL、END LAYER、SOLDERMASK\_TOP 與 SOLDERMASK\_BOTTOM 五個層面。
- 僅需設定 Regular Pad。Thermal Relief 與 Anti Pad 需設定為無資料。
- 將檔名命名為 **TRTC1000.pad** 之後儲存於本題資料夾底下，Pad 所呈現之上視與側視圖應如【附圖一】所示。

(2) 開啓 PCB Editor，新建元件命名為 TRTC1000，單位設定為 mm 並取到小數點後四位，依據【附圖二】完成以下事項：

- 於 Package Geomerty 的 Assembly\_Top 層，以 Shape 工具建立一個矩形本體，座標 (0,0) 位置需在元件正中心。
- 於 RefDes 的 Assembly\_Top 層之元件正上方放置標籤 RefDes，名稱為 U\*。
- 於 Device Type 的 Assembly\_Top 層之元件正上方放置標籤 Device，名稱為 TRTC1000。

- 利用 **TRTC1000.pad** 做為元件的 Pad，設定接腳編號 1~4，並移動接腳編號至 Pad 上方。
- 將元件的 Package Geometry 的 Place\_Bound\_Top 層面，使用 Shape 工具建立與元件本體大小相同的限制區。
- 將檔案存檔於本題資料夾底下，需包含 **TRTC1000.dra** 與 **TRTC1000.psm** 兩個檔案。

(3) 開啓 OrCAD Capture，依據下表設定檔案 **CW0101.opj**，SCHMATIC1 資料夾底下的 PAGE1 電路圖，裡面各元件之 Footprint，之後將 **CW0101.opj** 電路圖轉出網路表 (Netlist) 於本題 allegro 資料夾底下。

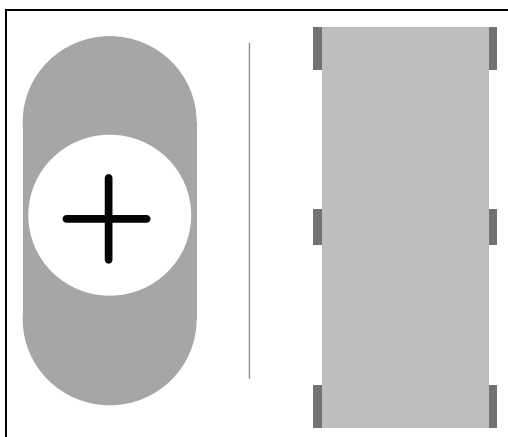
Part Reference	Footprint
R1~R13	R0805
C1~C2	C0805
D1~D4	LED-0805
P1	JUMPER2
U1~U4	TRTC1000
U5	SO18-10-1_27

(4) 開啓檔案 **CW0101.brd**，匯入 **Cw0101.dxf** 做為電路板之板框，設定匯入單位為 mm，參照下表匯入其中兩個圖層即可。

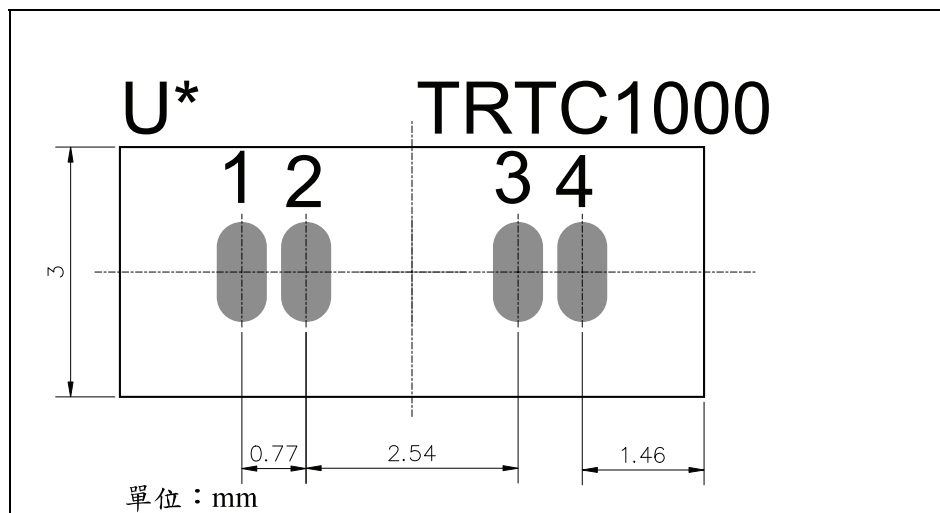
DXF Layer	BG_OUTLINE	RKI_ALL
Class	Board Geometry	Board Geometry
Subclass	OUTLINE	ASSEMBLY_DETAIL

(5) 匯入本題 allegro 資料夾內的網路表 (Netlist)，並呼叫元件，將元件擺放至板框邊即可，需確保所有元件皆正確匯入，結果應如【附圖三】所示。

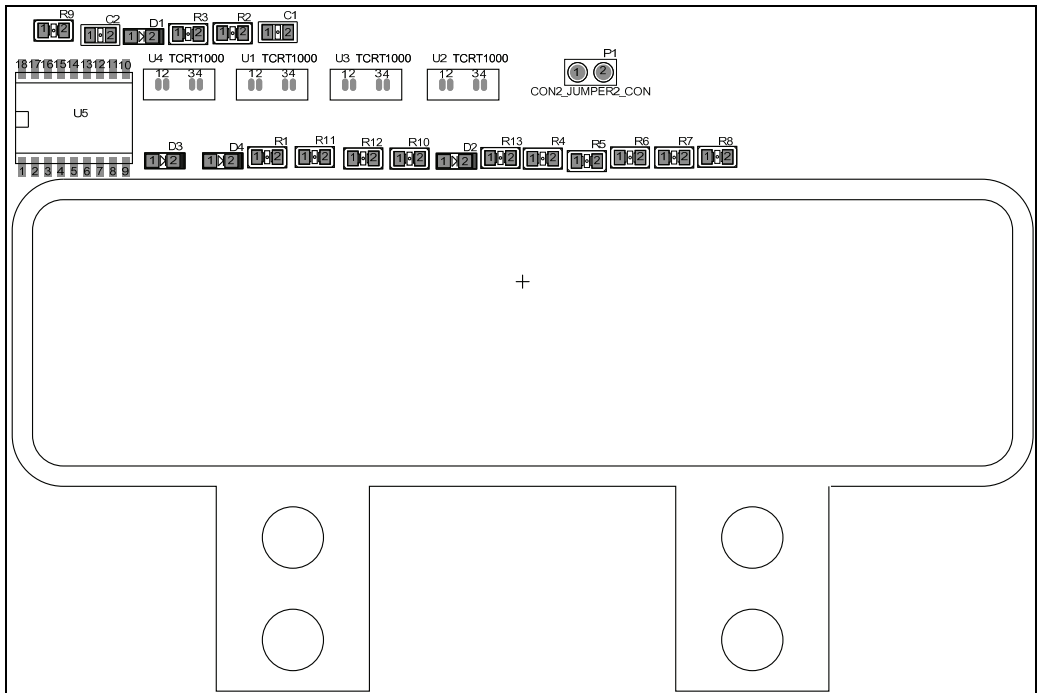
3.輸出結果參考圖：



【附圖一】



【附圖二】



【附圖三】

4. 評分項目：

設計項目	配 分	得 分
(1)	5	
(2)	5	
(3)	3	
(4)	2	
(5)	5	
總 分	20	

## 二. 反射式光電感測器電路 II

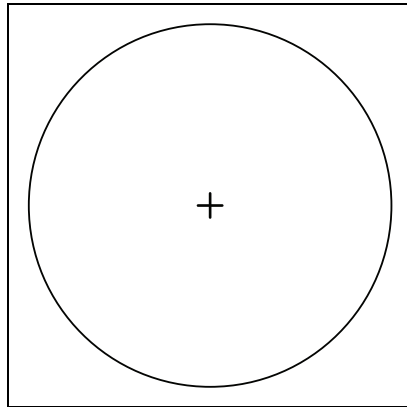
### 1. 作答須知：

- (1) 使用 C:\ANS.CSF\CW02 路徑底下之相關檔案，依設計項目作答，完成之作答檔需依設計項目所規定之檔案名稱儲存，可依照需求變更格點（Grids）間距。
- (2) 可使用本題 lib 資料夾內的元件資訊進行作答。

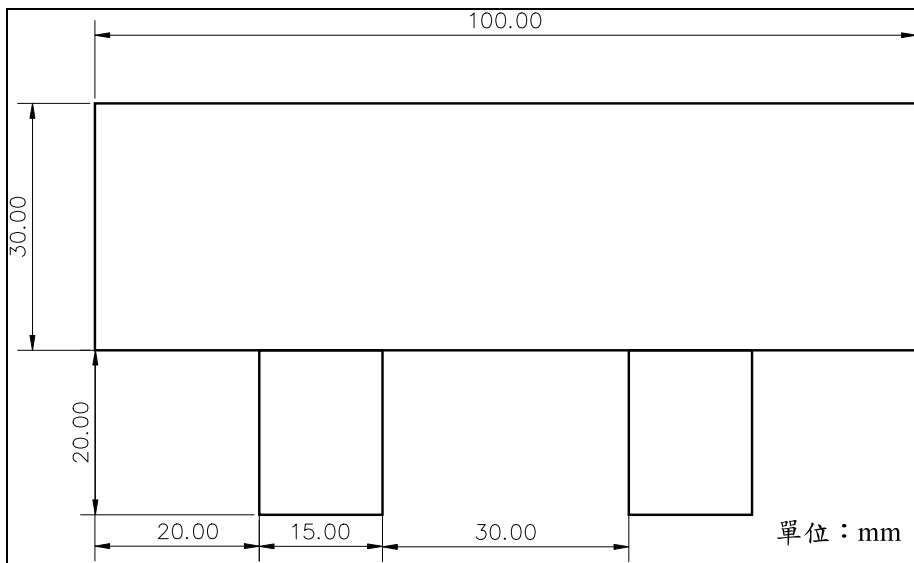
### 2. 設計項目：

- (1) 開啓 PCB Editor，新建 Mechanical Symbol，命名為 SCREW3M，單位設定為 mm 並取到小數點後兩位，使用 Add 工具於 Package Geometry 的 Assembly\_Top 層完成繪製，設定其半徑為 3mm，並將檔案命名為 **SCREW3M.dra** 與 **SCREW3M.bsm** 並儲存於本題資料夾底下，結果應如【附圖一】所示。
- (2) 新建 PCB 電路板框，命名為 CW0201，將單位設定為 mm 並取到小數點後兩位，板面寬與高設定 1200.00mm\*1200.00mm，圓心需位於板框左上角，參照【附圖二】所列之尺寸，於 Board Geometry 的 Outline 層，使用 Add 工具完成板框繪製。
- (3) 將板框的四個角落，變成半徑為 5mm 的倒圓角，並將板框內層加上元件擺放區與走線限制區；需分別設定在 Package Keepin 的 All 層與 Route Keepin 的 All 層且皆距離板框 2.00mm，將檔案名稱命為 **CW0201.brd** 之後存檔，結果應如【附圖三】所示。
- (4) 參照【附圖三】尺寸位置，於板框中擺放設計項目(1)所製作之 Mechanical Symbol。
- (5) 開啓檔案 **CW0201.opj**，將 SCHEMATIC1 資料夾底下的 PAGE1 電路圖，轉出網路表（Netlist）於本題資料夾底下之 allegro 資料夾裡，之後於 **CW0201.brd** 檔案裡匯入該網路表（Netlist）。
- (6) 參照【附圖四】，放置元件 U1~U4 之 TRCT1000 光感測器，皆置放於頂層（Top），電阻元件 R6~R9 皆放置於底層（Bottom），除了 U1~U4 與 R6~R9 元件以外，板面上不可看到其他元件。

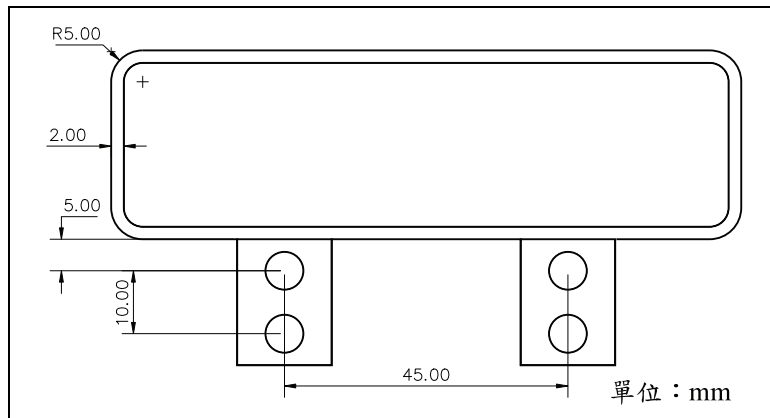
3. 輸出結果參考圖：



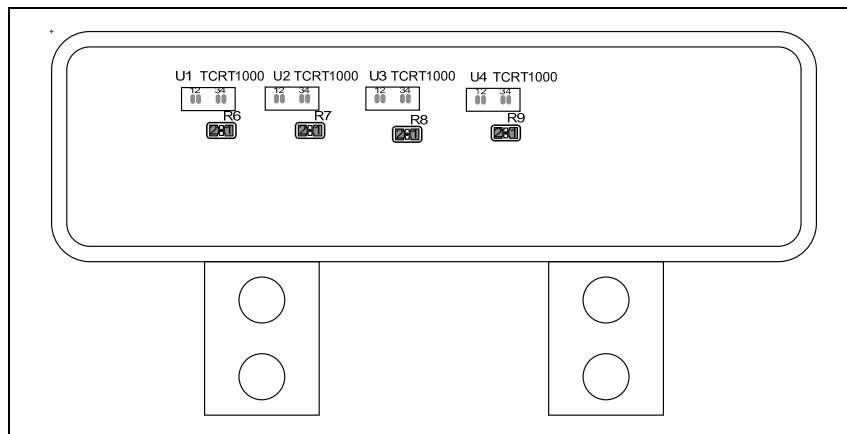
【附圖一】



【附圖二】



【附圖三】



【附圖四】

4. 評分項目：

設計項目	配 分	得 分
(1)	5	
(2)	5	
(3)	5	
(4)	5	
(5)	5	
(6)	5	
總 分	30	



### 三. PWM 高壓高頻大電流 LAYOUT

#### 1. 作答須知：

- (1) 使用 C:\ANS.CSF\CW03 路徑底下之相關檔案，依設計項目作答，完成之作答檔需依設計項目所規定之檔案名稱儲存，可依照需求變更格點（Grids）間距。

#### 2. 設計項目：

本電路圖為規格 200W 電源供應器之主迴路，本題設計宗旨是將電壓線與訊號線通過之線路，經設計項目(1)~(4)所給定之參數計算後完成佈線，主電壓大電流電路是指 DC+、DT、GND、GND\_EARTH、LA、LB、LC、LD、LINE、NA、NB、NEUTRAL、SN、VCC 與 VDD 共 15 條線；訊號線路是指 FC、G 與 GT 共 3 條線：

- (1) 開啓檔案 **SP200W.brd**，將板面上所有元件擺放入板框內，不可產生任何 DRC 錯誤標記且不可任意改變板框大小。
- (2) 設定 Constraint Manager 裡，訊號線的線寬，需設定最小線寬為 15mils，最大為 30mils。
- (3) 本電路之工作電壓在 90~240VAC 之間，試用最高峰值電壓依照下表查詢出主電壓大電流電路與其他物件之間距，所有間距需大於下表所查詢之尺寸，最大電壓計算方法為峰值電壓\*1.1 倍的餘裕度，計算完成需將此線距套用至 Constraint Manager 裡所有的 Net 上。

	最大電壓（單位：V）			
	100~150	150~200	250~300	350~400
安全間距 （單位：mils）	20	40	80	120

- (4) 計算主高壓大電流電路之線寬，線寬必須滿足於電流大小之設定，計算方式需以最低電壓 90V 計算之，脈衝 Duty 設計在 1/4~3/4 週期範圍內，平均脈衝在 1/2 週期，1A 之電流至少需 40mils 之線寬，線寬求出後，需四捨五入到十位數，並於 Constraint Manager 底下，將此 15 條線套用此佈線線寬。

(5) 完成單層板之電路佈線，需遵從以下規則：

- 僅可在底層（Bottom）完成佈線。
- 直接連接到 CN2 元件的 3 支 Pin 腳不需佈線，其他元件則需全部完成佈線，訊號線線寬皆固定為 30mils。
- 完成之後不可遺留任何 DRC 錯誤訊息。
- 將檔案以原檔名儲存於原路徑之下，參考結果應如【附圖一】所示。

(6) 產出以下兩份檢查報表：

- 產出 DRC 報表，不可產生任何錯誤訊息，將檔案命名為 **DRC.htm** 並儲存於本題資料夾底下，結果應如【附圖二】所示。
- 產出 Unconnected Pin Report，應只有與 CN2 元件相關之訊息，不可有其他 Pin 腳未連接資訊（應只有 R3.1 to CN2.3；CN2.2 to ZD1.1；CN2.1 to C7.1 這三條線的資訊），結果應如【附圖三】所示，圖上的座標位置，可能因個人作答狀況而有不同，可不必理會，將檔案命名為 **UPIN.htm** 並儲存於本題資料夾底下。



<u>DRC Error Count Summary</u>	
DRC Error Type	DRC Error Count
Total DRC Errors	0

【附圖二】

Total Unconnected Pins: 3
FC
From: R3.1 (5475.00 1100.00) To: CN2.3 (175.00 375.00)
GT
From: CN2.2 (175.00 475.00) To: ZD1.1 (5825.00 450.00)
VCC
From: CN2.1 (175.00 575.00) To: C7.1 (4325.00 950.00)

【附圖三】

4. 評分項目：

設計項目	配 分	得 分
(1)	5	
(2)	5	
(3)	10	
(4)	10	
(5)	15	
(6)	5	
總 分	50	